

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-29791

(P2004-29791A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int.Cl.⁷
G09G 3/30
G09G 3/20
H05B 33/14

F 1
G09G 3/30 J
G09G 3/20 6 1 1 H
G09G 3/20 6 2 1 F
G09G 3/20 6 2 4 B
H05B 33/14 A

審査請求 未請求 請求項の数 21 O L (全 18 頁)

(21) 出願番号 特願2003-165620 (P2003-165620)
(22) 出願日 平成15年6月10日 (2003.6.10)
(31) 優先権主張番号 2002-032676
(32) 優先日 平成14年6月11日 (2002.6.11)
(33) 優先権主張国 韓国 (KR)
(31) 優先権主張番号 2003-017838
(32) 優先日 平成15年3月21日 (2003.3.21)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 590002817
三星エスディアイ株式会社
大韓民国京畿道水原市八達區▲しん▼洞5
75番地
(74) 代理人 100089037
弁理士 渡邊 隆
(74) 代理人 100064908
弁理士 志賀 正武
(72) 発明者 権 五敬
大韓民国ソウル市松坡區新川洞(番地なし)
) ザンミアパート14棟1102号
F ターム(参考) 3K007 AB17 BA06 GA00
5C080 AA06 BB05 DD05 DD08 EE29
FF11 HH09 JJ03 JJ04

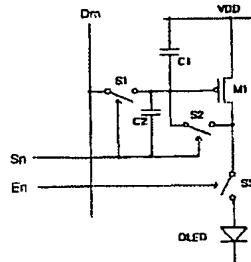
(54) 【発明の名称】発光表示装置及びその表示パネルと駆動方法

(57) 【要約】

【課題】トランジスタのしきい電圧や移動度を補償することができ、データ線を十分に充電させることができる発光表示装置を提供する。

【解決手段】有機電界発光表示装置の画素回路に有機電界発光素子を駆動するための電流を出力する駆動トランジスタが形成されている。第1キャパシタは電源電圧と駆動トランジスタのゲートの間に連結され、第2キャパシタは駆動トランジスタのゲートと走査線に連結されている。まず、走査線からの選択信号に応答してデータ電流に対応する電圧が第1キャパシタに保存される。そして、選択信号のレベルが変わって第1キャパシタの電圧が変化する。変更された第1キャパシタの電圧によってトランジスタから駆動電流が outputされ、駆動電流によって有機電界発光素子が発光する。このようにすれば、大きなデータ電流として有機電界発光素子に流れる電流を制御することができる。

【選択図】 図5



【特許請求の範囲】**【請求項1】**

画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、そして前記データ線と前記走査線によって定義される複数の画素に各々形成される複数の画素回路が形成されている発光表示装置において、

前記画素回路は、

印加される電流に対応して光を発光する発光素子と、

前記発光素子を発光させるための駆動電流を供給する第1トランジスタと、

前記走査線からの選択信号に応答して前記データ線からのデータ信号を伝達する第1スイッチング素子と、

第1制御信号の第1レベルに応答して前記第1トランジスタをダイオード連結させる第2スイッチング素子と、

前記第1制御信号の第1レベルによって、前記第1スイッチング素子からの前記データ電流に対応する第1電圧を保存する第1保存素子と、

前記第1保存素子と前記第1制御信号を供給する信号線の間に電気的に連結されており、前記第1制御信号が前記第1レベルから第2レベルに変わった場合に前記第1保存素子とのカップリングを通じて前記第1保存素子の第1電圧を第2電圧に変更する第2保存素子と

第2制御信号に応答して、前記第2電圧によって前記第1トランジスタから出力される前記駆動電流を前記発光素子に伝達する第3スイッチング素子とを含む発光表示装置。

【請求項2】

前記第1保存素子は前記第1トランジスタの第1主電極と制御電極の間に電気的に連結され、前記第2保存素子は前記第1トランジスタの制御電極と前記信号線の間に電気的に連結される、請求項1に記載の発光表示装置。

【請求項3】

前記第2スイッチング素子は前記第1トランジスタの第2主電極と制御電極の間に電気的に連結される、請求項1に記載の発光表示装置。

【請求項4】

前記第2スイッチング素子は前記データ線と前記第1トランジスタの制御電極の間に電気的に連結される、請求項1に記載の発光表示装置。

【請求項5】

前記信号線は前記走査線であり、前記第1制御信号は前記選択信号である、請求項1に記載の発光表示装置。

【請求項6】

前記第2制御信号は前記選択信号であり、前記第3スイッチング素子は前記選択信号のディスエーブルレベルに応答する、請求項5に記載の発光表示装置。

【請求項7】

前記第2スイッチング素子は第1導電タイプのトランジスタであり、前記第3スイッチング素子は第2導電タイプのトランジスタである、請求項6に記載の発光表示装置。

【請求項8】

前記第1制御信号を供給する前記信号線は前記走査線とは別途の信号線であり、前記第1制御信号は前記選択信号がディスエーブルレベルになった後に前記第1レベルから前記第2レベルになる、請求項1に記載の発光表示装置。

【請求項9】

前記第2制御信号は前記第1制御信号であり、前記第3スイッチング素子は前記第2制御信号の第2レベルに応答する、請求項8に記載の発光表示装置。

【請求項10】

前記第2スイッチング素子は第1導電タイプのトランジスタであり、前記第3スイッチング素子は第2導電タイプのトランジスタである、請求項9に記載の発光表示装置。

【請求項11】

前記第1乃至第3スイッチング素子及び前記第1トランジスタは同一導電タイプのトランジスタである、請求項1に記載の発光表示装置。

【請求項12】

前記画素回路は前記選択信号をバッファーリングした後、前記第1スイッチング素子に伝達するためのバッファーをさらに含む、請求項1に記載の発光表示装置。

【請求項13】

走査線からの選択信号に応答してデータ線からのデータ電流を伝達する第1スイッチング素子、駆動電流を出力するトランジスタ、前記トランジスタの第1主電極と制御電極の間に電気的に連結される第1保存素子、そして前記トランジスタからの駆動電流に対応して光を発光する発光素子を含む画素回路が形成されている発光表示装置を駆動する方法において、

第1レベルの制御信号で前記トランジスタをダイオード連結させ、前記第1スイッチング素子からのデータ電流に対応して前記トランジスタの制御電極電圧を第1電圧とする段階と、

前記データ電流を遮断し、前記トランジスタの制御電極に第1端が連結される第2保存素子の第2端に第2レベルの前記制御信号を印加し、前記第1及び第2保存素子のカップリングで前記トランジスタの制御電極電圧を第2電圧に変更する段階と、

前記第2電圧に対応して前記トランジスタから出力される駆動電流を前記発光素子に印加する段階とを含む発光表示装置の駆動方法。

【請求項14】

前記制御信号は前記選択信号と同一信号である、請求項13に記載の発光表示装置の駆動方法。

【請求項15】

前記制御信号は前記選択信号がディスエーブルレベルになった後に前記第2レベルになる、請求項13に記載の発光表示装置の駆動方法。

【請求項16】

前記画素回路は、前記第2レベルの制御信号に応答して前記トランジスタからの駆動電流を前記発光素子に伝達する第2スイッチング素子をさらに含む、請求項13に記載の発光表示装置の駆動方法。

【請求項17】

画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、そして前記データ線と前記走査線によって定義される複数の画素に各々形成される複数の画素回路が形成されている発光表示装置の表示パネルにおいて、

前記画素回路は、

印加される電流に対応して光を発光する発光素子と、

発光素子を駆動するための電流を出し、第1主電極が電源電圧を供給する第1信号線に電気的に連結される第1トランジスタと、

前記走査線からの選択信号に応答して前記データ線からのデータ電流を前記第1トランジスタに伝達する第1スイッチング素子と、

第1制御信号の第1レベルに応答して前記第1トランジスタをダイオード連結する第2スイッチング素子と、

第2制御信号に応答して前記トランジスタからの駆動電流を前記発光素子に伝達する第3スイッチング素子と、

前記第1トランジスタの制御電極と第1主電極の間に電気的に連結される第1保存素子と、

前記第1トランジスタの制御電極と前記第1制御信号を供給する第2信号線の間に電気的に連結される第2保存素子とを含む発光表示装置の表示パネル。

【請求項18】

前記第1レベルの第1制御信号によって前記第1トランジスタがダイオード連結され、前記選択信号によって前記データ電流が前記第1トランジスタに伝えられる第1区間と、

前記データ電流が遮断され、前記第1制御信号が第2レベルになって前記第1制御信号のレベル変化量が前記第1及び第2保存素子のカップリングによって前記第1トランジスタの制御電極に反映され、前記第2制御信号によって前記駆動電流が前記発光素子に伝えられる第2区間の順に動作する、請求項17に記載の発光表示装置の表示パネル。

【請求項19】

前記第2信号線は前記走査線であり、前記第1制御信号は前記選択信号である、請求項18に記載の発光表示装置の表示パネル。

【請求項20】

前記第2信号線は前記走査線とは別途の信号線であり、前記第1制御信号は前記選択信号がディスエーブルレベルになった後に前記第2レベルになる、請求項18に記載の発光表示装置の表示パネル。

【請求項21】

前記第2制御信号は前記第1制御信号と同一な信号であり、前記第2スイッチング素子は第1導電タイプのトランジスタであり、前記第3スイッチング素子は第2導電タイプのトランジスタである、請求項18に記載の発光表示装置の表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は発光表示装置、これを用いる表示パネル及びその駆動方法に関し、特に有機物質の電界発光（有機ELという）を利用した能動駆動方式表示装置における電流記入回路に関する。

【0002】

【従来の技術】

一般に有機EL表示装置は蛍光性または燐光性有機化合物を電気的に励起して発光させる表示装置であって、 $N \times M$ 個の有機発光セルを電圧駆動あるいは電流駆動して映像を表現できるようになっている。一般的な有機発光セルはダイオード特性を有して有機発光ダイオード（OLED）と呼ばれ、図1に示したように、アノード（ITO）、有機物質の多層薄膜（有機薄膜）、カソード電極（金属）の構造を有している。有機薄膜は電子と正孔の均衡を良くして発光効率を向上させるために発光層、電子輸送層及び正孔輸送層を含む多層構造であり、また、別途の電子注入層と正孔注入層を含んでいる。

【0003】

このように構成される有機発光セルを駆動する方式には、能動素子を含まない単純マトリックス方式と、薄膜トランジスタ（TFT）またはMOSFETを利用した能動駆動方式がある。単純マトリックス方式では正極線と負極線を直交的に配置し、各線（ライン）を選択して瞬間に駆動するが、能動駆動方式では薄膜トランジスタとキャパシタを各ITO画素電極に接続し瞬間に信号を伝えるが、伝えられた信号電圧をキャパシタ容量によって維持する駆動方式である。この時、本発明が属する能動駆動方式を、キャパシタに電圧を維持するために印加する信号の形態によって、電圧記入（voltage programming）方式と電流記入（current programming）方式に分類する。

【0004】

以下では図2及び図3を参照して、従来技術による電圧記入及び電流記入の特徴について説明する。

【0005】

図2は有機EL素子を駆動するための従来の電圧記入方式回路であって、 $N \times M$ 個の画素のうちの一つを代表的に示した図面である。図において、有機EL素子（OLED）にp-chトランジスタ（M1）が連結されて発光のための電流を正極電圧源VDDから供給する。トランジスタ（M1）の電流量は、スイッチング用p-chトランジスタ（M2）を通じて印加されるデータ電圧によって、調節されるようになっている。この時、印加された電圧を一定期間維持するためのキャパシタ（C1）がトランジスタ（M1）のソ

ースとゲートの間に連結されている。トランジスタ (M2) のゲートにはオン・オフ形態の選択信号を伝える走査線 (S_n) が連結されており、ソース側にはデータ線 (D_m) が連結されている。

【0006】

このような構造の画素の動作を見てみると、スイッチングトランジスタ (M2) のゲートに印加される選択信号によってトランジスタ (M2) が導通すると、データ線 (D_m) からのデータ電圧がトランジスタ (M1) のゲートに印加される。そうすると、キャパシタ (C1) によってゲートとソース (VDD側) の間に充電された電圧 (VGS) に対応してトランジスタ (M1) に電流 (I_{OLED}) が流れ、この電流 (I_{OLED}) に対応して有機EL素子 (OLED) が発光する。

この時、有機EL素子 (OLED) に流れる電流は次の数式1で近似的に表現できる。

【0007】

【数1】

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} (V_{DD} - V_{DATA} - |V_{TH}|)^2$$

【0008】

ここで、 I_{OLED} は有機EL素子 (OLED) に流れる電流、 V_{GS} はトランジスタ (M1) のソースとゲートの間の電圧、 V_{TH} はトランジスタ (M1) のしきい電圧、 V_{DATA} はデータ電圧、 β は定数値を示す。

【0009】

数式1に示したように、図2の画素回路によれば、印加されるデータ電圧に対応する電流が有機EL素子 (OLED) に供給され、供給された電流に対応する輝度で有機EL素子が発光する。この時、印加されるデータ電圧は、所定の明暗階調を表現するために、一定の範囲で多段階の値を有する。

【0010】

しかし、このような従来の電圧記入方式の画素回路では、製造工程の不均一性により各画素毎に生じる薄膜トランジスタのしきい電圧 (V_{TH}) 及び電子移動度の偏差によって高階調を得ることが難しいという問題点がある。例えば、3Vで画素の薄膜トランジスタを駆動する場合、8ビット (256段) 階調を表現するためには約12mV ($= 3V / 256$) 間隔で薄膜トランジスタのゲートに電圧を印加しなければならないが、もし製造工程の不均一による薄膜トランジスタのしきい電圧の偏差が100mVに達する場合には高階調を表現することが難しくなる。また、移動度の偏差によって数式1に含まれる β 値が変わるので、さらに高階調表現が難しくなる。

【0011】

これに対し、電流記入方式の画素回路は画素回路に電流を供給する電流源がデータ線全体を通じて均一であるとすれば、各画素内の駆動トランジスタが不均一な電圧-電流特性を有すると仮定しても均一なディスプレイ特性を得ることができる。

【0012】

図3は有機EL素子を駆動するための従来の電流記入方式の画素回路であって、 $N \times M$ 個の画素のうちの一つを代表的に示した図面である。図3を参照すれば、有機EL素子 (OLED) にトランジスタ (M1) が連結されて発光のための電流を供給し、トランジスタ (M1) の電流量はトランジスタ (M2) を通じて印加されるデータ電流によって制御されるようになっている。

【0013】

回路の動作を見ると、走査線 (S_n) からの選択信号によってトランジスタ (M2, M3) が導通して、先ずトランジスタ (M1) がダイオード接続の状態になり、キャパシタ (C1) に電流が流れ充電電圧を生じ、トランジスタ (M1) のゲート電位が低下してドレンからソースに電流が流れる。時間経過により充電電圧が高くなってトランジスタ (M1) のドレン電流がトランジスタ (M2) のソース電流と等しくなればキャパシタ (C1) の充電電流が停止して充電電圧が安定する。従って、データ線 (D_m) からの輝度

設定用データ電流 (I_{DATA}) に対応する電圧がキャパシタ (C1) に保存される。次に、走査線 (S_n) からの選択信号がハイレベル電圧になってトランジスタ (M2, M3) が遮断されるが、発光走査線 (E_n) からの発光信号がローレベル電圧になってトランジスタ (M4) が導通し、電源電圧 (VDD) から電源が供給され、キャパシタ (C1) に保存された電圧に対応する電流が有機EL素子 (OLED) に流れ、設定輝度の発光が行われる。この時、有機EL素子 (OLED) に流れる電流は式2のようである。

【0014】

【数2】

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = I_{DATA}$$

【0015】

ここで、 V_{GS} はトランジスタ (M1) のソースとゲートの間の電圧、 V_{TH} はトランジスタ (M1) のしきい電圧、 β は定数値を示す。

【0016】

式2で示したように従来の電流ピクセル回路によれば、有機EL素子に流れる電流 (I_{OLED}) はデータ電流 (I_{DATA}) と同一であるので、記入電流源がパネル全体を通じて均一であるとすれば均一な特性が得られる。しかし、有機EL素子に流れる電流 (I_{OLED}) は微少電流でありながら所要電圧は高く、この微細電流で画素回路を駆動するには、データ線の寄生容量などを充電するのに時間が多くかかるという問題点がある。例えば、データ線負荷キャパシタンスが 30pF であると仮定すると、数十 nA から数百 nA 程度のデータ電流でデータ線の負荷を充電するためには数 ms の時間が必要である。これは数十 μs 水準であるライン時間 (例えば、水平走査時間) を考慮してみる時、充電時間が充分ではないという問題点がある。

【0017】

【発明が解決しようとする課題】

本発明が目的とする技術的課題は、トランジスタのしきい電圧や移動度を補償することができ、データ線を十分に充電させることができる発光表示装置を提供することにある。

【0018】

【課題を解決するための手段】

本発明による発光表示装置には、画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、そしてデータ線と走査線によって定義される複数の画素に各々形成される複数の画素回路が形成されている。画素回路は発光素子、第1トランジスタ、第1乃至第3スイッチング素子、第1及び第2保存素子を含む。第1トランジスタは発光素子を発光させるための駆動電流を制御し、第1スイッチング素子は走査線からの選択信号に応答してデータ線からのデータ信号を伝達する。第1保存素子は第1制御信号の第1レベルによって、第1スイッチング素子からのデータ電流に対応する第1電圧を保存する。第2保存素子は第1保存素子と第1制御信号を供給する信号線の間に電気的に連結されており、第1制御信号が第1レベルから第2レベルに変わった場合に第1保存素子とのカップリングを通じて第1保存素子の第1電圧を第2電圧に変更する。第2スイッチング素子は第1制御信号の第1レベルに応答して第1トランジスタをダイオード連結させ、第3スイッチング素子は第2制御信号に応答して第2電圧によって第1トランジスタから出力される駆動電流を発光素子に伝達する。

【0019】

第2スイッチング素子は第1トランジスタの第2主電極と制御電極の間に電気的に連結されたり、データ線と第1トランジスタの制御電極の間に電気的に連結されることが好ましい。

【0020】

本発明によると、走査線からの選択信号に応答してデータ線からのデータ電流を伝達する第1スイッチング素子、データ電流に対応して駆動電流を出力するトランジスタ、トラン

ジスタの第1主電極と制御電極の間に電気的に連結される第1保存素子、そしてトランジスタからの駆動電流に対応して光を発光する発光素子を含む画素回路が形成されている発光表示装置を駆動する方法が提供される。まず、第1レベルの制御信号でトランジスタをダイオード連結させ、第1スイッチング素子からのデータ電流に対応してトランジスタの制御電極電圧を第1電圧とする。次に、データ電流を遮断し、制御信号を第1レベルから第2レベルに変更してトランジスタの制御電極に第1端が連結される第2保存素子の第2端に印加し、第1及び第2保存素子のカップリングでトランジスタの制御電極電圧を第2電圧に変更する。そして第2電圧に対応してトランジスタから出力される駆動電流を発光素子に印加する。

【 0021 】

本発明による発光表示装置の表示パネルには、画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、そしてデータ線と走査線によって定義される複数の画素に各々形成される複数の画素回路が形成されている。画素回路は、発光素子、第1トランジスタ、第1乃至第3スイッチング素子、第1及び第2保存素子を含む。第1トランジスタは発光素子を駆動するための電流を出力し、第1主電極が電源電圧を供給する第1信号線に電気的に連結される。第1スイッチング素子は走査線からの選択信号に応答してデータ線からのデータ電流を第1トランジスタに伝達し、第2スイッチング素子は第1制御信号の第1レベルに応答して第1トランジスタをダイオード連結する。第3スイッチング素子は第2制御信号に応答してトランジスタからの駆動電流を発光素子に伝達する。第1保存素子は第1トランジスタの制御電極と第1主電極の間に電気的に連結され、第2保存素子は第1トランジスタの制御電極と第1制御信号を供給する第2信号線に電気的に連結される。

【 0022 】

この表示パネルは、第1レベルの第1制御信号によって第1トランジスタがダイオード連結され、選択信号によってデータ電流が第1トランジスタに伝えられる第1区間、そしてデータ電流が遮断され、第1制御信号が第2レベルになって第1制御信号のレベル変化量が第1及び第2保存素子のカップリングによって第1トランジスタの制御電極に反映され、第2制御信号によって駆動電流が発光素子に伝えられる第2区間順に動作するのが好ましい。

【 0023 】

【発明の実施の形態】

以下、添付した図面を参照して本発明の実施例について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な相異なる形態に実現することができ、ここで説明する実施例に限定されない。

【 0024 】

図面から本発明を明確に説明するために説明と関係ない部分は省略した。明細書全体を通じて類似な部分については同じ図面符号を付けた。ある部分が他の部分と連結されているという時、これは直接的に連結されている場合のみでなく、その中間に他の素子を隔てて連結されている場合も含む。そして、図面から各走査線を通じて画素回路に印加される信号の図面符号を説明の便宜上走査線と同一にした。

【 0025 】

まず、図4を参照して本発明の実施例による有機EL表示装置について説明する。図4は本発明の実施例による有機EL表示装置Fの概略的な平面図である。

【 0026 】

図4に示したように、本発明の実施例による有機EL表示装置は有機EL表示パネル10、走査駆動部20及びデータ駆動部30を含む。

【 0027 】

有機EL表示パネル10は図面上で縦方向に伸びている複数のデータ線($D_1 - D_M$)、横方向に伸びている複数の走査線($S_1 - S_N$)、発光走査線($E_1 - E_N$)及び複数の画素回路11を含む。データ線($D_1 - D_M$)は画像信号を示すデータ電流を画素回

路 1 1 に伝達する。走査線 ($S_1 \sim S_N$) は選択信号を画素回路 1 1 に伝達し、発光走査線 ($E_1 \sim E_N$) は発光信号を画素回路 1 1 に伝達する。画素回路 1 1 は隣接した二つのデータ線と隣接した二つの走査線によって定義される画素領域に形成されている。

【 0028 】

データ駆動部 3 0 はデータ線 ($D_1 \sim D_M$) にデータ電流を印加し、走査駆動部 2 0 は走査線 ($S_1 \sim S_N$) 及び発光走査線 ($E_1 \sim E_N$) に各々選択信号及び発光信号を順次に印加する。

【 0029 】

次に、図 5 を参照して本発明の第 1 実施例による有機 EL 表示装置の画素回路 1 1 について詳細に説明する。図 5 は本発明の第 1 実施例による画素回路の等価回路図である。そして、図 5 では説明の便宜上 m 番目データ線 (D_m) と n 番目走査線 (S_n) に連結された画素回路だけを示した。

【 0030 】

図 5 に示したように、本発明の第 1 実施例による画素回路 1 1 は有機 EL 素子 (OLED) 、トランジスタ (M 1) 、スイッチング素子 (S 1 、 S 2 、 S 3) 及びキャパシタ (C 1 、 C 2) を含み、トランジスタ (M 1) は PMOS トランジスタで形成されている。電圧源 VDD は正電圧を供給する。

【 0031 】

スイッチング素子 (S 1) はデータ線 (D_m) とトランジスタ (M 1) のゲートの間に連結され、走査線 (S_n) からの選択信号に応答してデータ線 (D_m) からのデータ電流 (I_{DATA}) をトランジスタ (M 1) に伝達する。スイッチング素子 (S 2) はトランジスタ (M 1) のドレーンとゲートの間に連結され、走査線 (S_n) からの選択信号に応答してトランジスタ (M 1) をダイオード連結させる。

【 0032 】

トランジスタ (M 1) は電圧源 (VDD) にソースが連結され、スイッチング素子 (S 3) にドレーンが連結されている。トランジスタ (M 1) のゲート-ソース電圧はデータ電流 (I_{DATA}) に対応して決定され、キャパシタ (C 1) はトランジスタ (M 1) のゲートとソースの間に連結されてトランジスタ (M 1) のゲート-ソース電圧を一定期間維持する。キャパシタ (C 2) は走査線 (S_n) とトランジスタ (M 1) のゲートの間に連結されてトランジスタ (M 1) のゲート電圧を調節する。

【 0033 】

スイッチング素子 (S 3) は発光走査線 (E_n) からの発光信号に応答してトランジスタ (M 1) に流れる電流を有機 EL 素子 (OLED) に供給する。この電流はキャパシタ (C 1) に保存されている電圧によって制御されている。有機 EL 素子 (OLED) はスイッチング素子 (S 3) と基準電圧点 (例えば接地端子) の間に連結され、トランジスタ (M 1) に流れる電流の量に対応する光を発光する。

【 0034 】

本発明の第 1 実施例ではスイッチング素子 (S 1 、 S 2 、 S 3) を一般的なスイッチで示したが、スイッチング素子 (S 1 、 S 2 、 S 3) もトランジスタで形成されるのが好ましい。以下ではスイッチング素子 (S 1 、 S 2 、 S 3) を PMOS トランジスタで実現した実施例について図 6 及び図 7 を参照して詳細に説明する。

【 0035 】

図 6 は本発明の第 2 実施例による画素回路の等価回路図であり、図 7 は図 6 の画素回路を駆動するための駆動波形図である。

【 0036 】

図 6 に示したように、本発明の第 2 実施例による画素回路は図 5 の画素回路におけるスイッチング素子 (S 1 、 S 2 、 S 3) の代りにトランジスタ (M 2 、 M 3 、 M 4) が形成されている点を除けば、第 1 実施例と同じ構造を有する。トランジスタ (M 2 、 M 3 、 M 4) は PMOS トランジスタで形成され、トランジスタ (M 2 、 M 3) のゲートには走査線 (S_n) が連結され、トランジスタ (M 4) のゲートには発光走査線 (E_n) が連結され

ている。

【0037】

次に、図7を参照して図6の画素回路の動作について詳しく説明する。まず、走査線(S_n)を通じて印加されるローレベル電圧の選択信号によってトランジスタ(M2、M3)が導通し、トランジスタ(M1)はダイオード連結されてデータ線(D_m)からのデータ電流(I_{DATA})がトランジスタ(M1)に流れる。この時、トランジスタ(M1)のゲート-ソース電圧(V_{GS})とトランジスタ(M1)に流れる電流(I_{DATA})の間には数式3の関係が成立するので、トランジスタ(M1)のゲート-ソース電圧(V_{GS})は数式4のようである。

【0038】

【数3】

$$I_{DATA} = \frac{\beta}{2} (V_{GS} - V_{TH})^2$$

【0039】

ここで、 β は定数値であり、 V_{TH} はトランジスタ(M1)のしきい電圧である。

【0040】

【数4】

$$V_{GS} = \sqrt{\frac{2I_{DATA}}{\beta}} + V_{TH}$$

【0041】

ここで、 V_G はトランジスタ(M1)のゲート電圧であり、 V_{DD} は電圧源(VDD)からトランジスタ(M1)に供給される電圧である。

【0042】

次に、選択信号(S_n)がハイレベル電圧になり、発光信号(E_n)がローレベル電圧になればトランジスタ(M2、M3)が遮断され、トランジスタ(M4)が導通する。選択信号(S_n)がローレベル電圧からハイレベル電圧になればキャパシタ(C2)と走査線(S_n)の接点の電圧が選択信号(S_n)のレベル上昇幅(ΔV_S)だけ増加する。したがって、キャパシタ(C1、C2)のカップリングによってトランジスタ(M1)のゲート電位(V_G)は増加し、その増加量(ΔV_G)は数式5のようである。

【0043】

【数5】

$$\Delta V_G = \frac{\Delta V_S C_2}{C_1 + C_2}$$

【0044】

ここで、 C_1 及び C_2 は各々キャパシタ(C1、C2)のキャパシタンスである。

【0045】

トランジスタ(M1)のゲート電位(V_G)が ΔV_G だけ増加したのでトランジスタ(M1)に流れる電流(I_{OLED})は数式6のようになる。そして、発光信号(E_n)によってトランジスタ(M3)がターンオンされているので、トランジスタ(M1)の電流(I_{OLED})が有機EL素子(OLED)に供給されて発光が行われる。

【0046】

【数6】

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - \Delta V_G - V_{TH})^2 = \frac{\beta}{2} \left(\sqrt{\frac{2I_{DATA}}{\beta}} - \Delta V_G \right)^2$$

【0047】

そして式6からデータ電流(I_{DATA})は式7のように与えられるので、データ電流(I_{DATA})を有機EL素子(OLED)に流れる電流(I_{OLED})より大きい値に設定することができる。つまり、大きいデータ電流(I_{DATA})で有機EL素子(OLED)に流れる微少電流を制御することができるので、データ線の充電時間を短縮することができる。

【0048】

【数7】

$$I_{DATA} = I_{OLED} + \Delta V_G \sqrt{2\beta I_{OLED}} + \frac{\beta}{2} (\Delta V_G)^2$$

【0049】

本発明の第2実施例では走査線(S_n)からの選択信号(S_n)で直接トランジスタ(M2)を駆動したが、走査線の負荷などにより選択信号(S_n)の上昇時間が変わり、トランジスタ(M2)のスイッチング誤差が発生することができる。トランジスタ(M2)のスイッチング誤差の影響を減らすために選択信号(S_n)をバッファーリングしてトランジスタ(M2)に印加することができる。次に、このような実施例について図8を参照して詳細に説明する。

【0050】

図8は本発明の第3実施例による画素回路の等価回路図である。

【0051】

図8に示したように、本発明の第3実施例による画素回路はバッファーを除けば第1実施例と同じ構造を有する。バッファーはCMOSインバーター2段、つまり4個のトランジスタ(M5～M8)からなり、トランジスタ(M5、M7)はPMOSトランジスタで形成され、トランジスタ(M6、M8)はNMOSトランジスタで形成されている。トランジスタ(M5、M6)は電源電圧(VDD)と基準電圧の間に直列に連結されており、トランジスタ(M5、M6)の接点がトランジスタ(M7、M8)のゲートに連結される。トランジスタ(M5、M6)のゲートは($m-1$)番目画素回路での選択信号(S_n)が入力される。トランジスタ(M7、M8)は電源電圧(VDD)と基準電圧の間に直列に連結されており、トランジスタ(M7、M8)の接点での出力が選択信号としてトランジスタ(M2、M3)のゲートに印加される。

【0052】

バッファーの動作を説明すれば、トランジスタ(M5、M6)のゲートに入力される選択信号がハイレベル電圧であれば、トランジスタ(M6)がターンオンされて基準電圧によってローレベル電圧の信号がトランジスタ(M7、M8)のゲートに入力される。ローレベル電圧の信号によってトランジスタ(M7)がターンオンされて電源電圧(VDD)によってハイレベル電圧の信号が選択信号としてトランジスタ(M2、M3)のゲートに印加される。そして、トランジスタ(M5、M6)のゲートに入力される選択信号がローレベル電圧であれば、トランジスタ(M5)がターンオンされて電源電圧(VDD)によってハイレベル電圧の信号がトランジスタ(M7、M8)のゲートに入力される。ハイレベル電圧の信号によってトランジスタ(M8)がターンオンされて基準電圧によってローレベル電圧の信号が選択信号としてトランジスタ(M2、M3)のゲートに印加される。このようなバッファーを用いると、負荷であるトランジスタ(M2、M3)の影響を軽減するので、全ての画素での選択信号の上昇時間が短時間かつ同一になってトランジスタ(M2)のスイッチング誤差の影響を減らすことができる。

【0053】

そして、本発明の第3実施例では4個のトランジスタを利用してバッファーを形成したが、これに限定されず、他の類型のバッファーを使用することもできる。

【0054】

本発明の第1乃至第3実施例ではスイッチング素子(S3)またはトランジスタ(M4)の駆動を調節するために発光信号(E_n)を伝達する別途の発光走査線(E_n)を使用し

た。この時、別途の発光走査線 (E_n) を使用せずに走査線 (S_n) からの選択信号 (S_n) でスイッチング素子 (S3) またはトランジスタ (M4) の駆動を制御することができ、このような実施例について図9及び図10を参照して詳細に説明する。

【0055】

図9は本発明の第4実施例による画素回路の等価回路図であり、図10は図9の画素回路を駆動するための駆動波形図である。

【0056】

図9に示したように、本発明の第4実施例による画素回路は発光走査線 (E_n) がない点とトランジスタ (M4) の類型及び連結関係を除けば図6の画素回路と同一な構造を有する。詳しく説明すれば、トランジスタ (M4) はNMOSトランジスタ (M4) で形成されており、トランジスタ (M4) のゲートには発光走査線 (E_n) の代りに走査線 (S_n) が連結されている。その後、図10に示すように選択信号 (S_n) がハイレベル電圧になる時トランジスタ (M4) が導通してトランジスタ (M1) の電流 (I_{LED}) が有機EL素子 (O_{LED}) に伝えられる。

【0057】

このようにトランジスタ (M4) をNMOSトランジスタで実現すれば、発光信号を伝達するための別途の配線が必要でないためにピクセルの開口率を高めることができる。

【0058】

本発明の第1乃至第4実施例ではトランジスタ (M1) をダイオード連結させるためにトランジスタ (M3) をトランジスタ (M1) のドレーンとゲートの間に連結した。これとは異なって、トランジスタ (M3) をトランジスタ (M1) のドレーンとデータ線 (D_m) の間に連結することができ、このような実施例について図11及び図12を参照して詳細に説明する。

【0059】

図11及び図12は各々本発明の第5及び第6実施例による画素回路の等価回路図である。

【0060】

図11に示したように、本発明の第5実施例による画素回路はトランジスタ (M3) の連結関係を除けば図6の画素回路と同じ構造を有する。詳しく説明すれば、トランジスタ (M3) はデータ線 (D_m) とトランジスタ (M1) のドレーンの間に連結されており、図7の駆動波形を使用してこの画素回路を駆動することができる。走査線 (S_n) からの選択信号 (S_n) がローレベル電圧である時、トランジスタ (M2, M3) が同時にターンオンされるのでトランジスタ (M1) のゲートとドレーンは互いに連結される。つまり、図6の画素回路と同様に、選択信号 (S_n) がローレベル電圧である時、トランジスタ (M1) がダイオード連結される。

【0061】

図6の画素回路でのようにトランジスタ (M3) がトランジスタ (M1) のゲートとドレーンの間に連結されている場合にはトランジスタ (M3) がターンオフされる時トランジスタ (M1) のゲート電圧が影響を受けることがある。しかし、本発明の第5実施例のようにトランジスタ (M3) がデータ線 (D_m) に連結されている場合にはトランジスタ (M3) がターンオフされる時、トランジスタ (M1) のゲート電圧が影響を受けることを減らすことができる。

【0062】

次に、図12を見れば、本発明の第6実施例による画素回路はトランジスタ (M3) がデータ線 (D_m) とトランジスタ (M1) のドレーンの間に連結されていることを除けば図9の画素回路と同一な構造を有する。

【0063】

そして、本発明の第1乃至第6実施例では走査線 (S_n) がトランジスタ (M2, M3) のゲートに全て連結されているが、これとは異なって走査線 (S_n) がトランジスタ (M2) のゲートにだけ連結されることができる。次に、このような実施例について図13乃

至図16を参照して詳しく説明する。

【0064】

図13及び図15は各々本発明の第7及び第8実施例による画素回路の等価回路図であり、図14及び図16は各々図13及び図15の画素回路を駆動するための駆動波形図である。

【0065】

図13に示したように、本発明の第7実施例による画素回路はトランジスタ(M3)とキャパシタ(C2)の連結関係を除けば図6の画素回路と同一な構造を有する。詳しく説明すれば、トランジスタ(M3)のゲートは別途のブースト走査線(Bn)に連結されており、キャパシタ(C2)はトランジスタ(M1)のゲートとブースト走査線(Bn)の間に連結されている。

【0066】

図14を見れば、ブースト走査線(Bn)からのブースト信号(Bn)は選択信号(Sn)がローレベル電圧になる前にローレベル電圧になり、選択信号(Sn)がハイレベル電圧になった後にハイレベル電圧になる。そうすると、トランジスタ(M2)が完全にオフされた後にキャパシタ(C2)と走査線(Bn)の接点の電圧がブースト信号(Bn)のレベル上昇幅(ΔV_S)だけ増加する。したがって、キャパシタ(C1、C2)の結合によってトランジスタ(M1)のゲート電圧(VG)は数式5の増加量(ΔV_G)だけ増加して、数式7に示した電流(I_{OLED})が有機EL素子(O_{LED})に供給される。図13の画素回路の他の動作は図6の画素回路の動作と同じであるから、これについての詳細な説明は省略する。

【0067】

このように、本発明の第7実施例によれば走査線(Sn)がトランジスタ(M2)のゲートにだけ連結されるので走査線(Sn)の負荷が減って、選択信号(Sn)の上昇時間を全パネルで一定にすることができる。また、トランジスタ(M2)が完全にオフされた後、トランジスタ(M2)のゲートノードがブーストされるのでトランジスタ(M2)のスイッチング誤差の影響を減らすことができる。

【0068】

次に、図15を見れば、本発明の第8実施例による画素回路は図13の画素回路における発光走査線(En)が除去され、トランジスタ(M4)のゲートがブースト走査線(Bn)に連結されている。また、トランジスタ(M4)はトランジスタ(M3)とは反対タイプのトランジスタ、つまり、NMOSトランジスタで形成されている。

【0069】

図16に示したように、図15の画素回路を駆動するための駆動波形は図14の駆動波形で発光信号(En)が除去されている。ブースト信号(Bn)がハイレベル電圧になってトランジスタ(M2)のゲート電圧がブーストされる時、トランジスタ(M4)は導通する。したがって、トランジスタ(M2)のゲート電圧がブーストされてトランジスタ(M1)から出力される電流(I_{OLED})が有機EL素子(O_{LED})に供給され発光が起ころる。

【0070】

本発明の第2乃至第8実施例ではトランジスタ(M1～M3)をPMOSトランジスタで形成したが、トランジスタ(M1～M3)をNMOSトランジスタで形成することができる。次に、このような実施例について図17乃至図26を参照して説明する。

【0071】

図17、図19、図21、図22、図23及び図25は各々本発明の第9乃至第14実施例による画素回路の等価回路図であり、図18、図20、図24及び図26は各々図17、図19、図23及び図25の画素回路を駆動するための駆動波形図である。

【0072】

図17を見れば、本発明の第9実施例による画素回路はトランジスタ(M1～M4)が全てNMOSトランジスタで実現されており、その連結構造は図6の画素回路と対称をなす

。詳しく説明すれば、トランジスタ(M2)はデータ線(D_m)とトランジスタ(M1)のゲートの間に連結され、そのゲートに走査線(S_n)が連結される。トランジスタ(M3)はトランジスタ(M1)のドレーンとゲートの間に連結され、そのゲートに走査線(S_n)が連結される。トランジスタ(M1)は基準電圧にソースが連結され、有機EL素子(OLED)にドレーンが連結されている。キャパシタ(C1)はトランジスタ(M1)のゲートとソースの間に連結され、有機EL素子(OLED)はトランジスタ(M4)と電源電圧(VDD)の間に連結される。トランジスタ(M4)のゲートには発光走査線(E_n)が連結されている。

【0073】

また、トランジスタ(M2、M3、M4)がNMOSトランジスタであるので、図18に示したように図17の画素回路を駆動するための選択信号(S_n)と発光信号(E_n)は図7に示した信号(S_n、E_n)に対して反転された形態を有する。図17の画素回路の詳細な動作は第2実施例の説明から容易できるのでその説明を省略する。

【0074】

次に、図19を見れば、本発明の第10実施例による画素回路はトランジスタ(M1～M3)がNMOSトランジスタで実現され、トランジスタ(M4)がPMOSトランジスタに実現されており、その連結構造は図9の画素回路と対称をなす。そして、トランジスタ(M2、M3)がNMOSトランジスタであり、トランジスタ(M4)がPMOSトランジスタであるので、図20に示したようにトランジスタ(M2～M4)を駆動するための選択信号(S_n)は図10の選択信号(S_n)に対して反転された形態を有する。

【0075】

次に、図21を見れば本発明の第11実施例による画素回路は図11の画素回路におけるトランジスタ(M1～M4)をNMOSトランジスタで形成した。そして、図22を見れば本発明の第12実施例による画素回路は図12の画素回路でトランジスタ(M1～M3)をNMOSトランジスタで形成し、トランジスタ(M4)をPMOSトランジスタで形成した。

【0076】

図23を見れば、本発明の第13実施例による画素回路は、図13の画素回路におけるトランジスタ(M1～M4)をNMOSトランジスタで形成した。図24に示したように図23の画素回路を駆動するための駆動波形(S_n、B_n、E_n)は図14の駆動波形(S_n、B_n、E_n)に対して反転された形態を有する。

【0077】

また、図25を見れば、本発明の第14実施例による画素回路は、図15の画素回路におけるトランジスタ(M1～M3)をNMOSトランジスタで形成し、トランジスタ(M4)をPMOSトランジスタで形成した。図26に示したように、図25の画素回路を駆動するための駆動波形(S_n、B_n)は図16の駆動波形(S_n、B_n)に対して反転された形態を有する。

【0078】

以上、図17乃至図26を参照してトランジスタ(M1～M3)をNMOSトランジスタで形成した実施例について簡略に説明した。図17乃至図26に示した画素回路及びその動作はPMOSトランジスタで形成した実施例に関する説明から容易に分かる内容であるので、これについての詳細な説明を省略する。

【0079】

そして、本発明の実施例ではトランジスタ(M1～M3)をPMOSまたはNMOSトランジスタで形成した場合についてだけ説明したが、本発明はこれに限定されず、PMOSとNMOSトランジスタの組み合わせまたはこれと同一または類似な機能をする他のスイッチング素子を使用することもできる。

【0080】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び

改良形態もまた本発明の権利範囲に属する。

【0081】

【発明の効果】

本発明によると大きなデータ電流で有機EL素子に流す微少電流を制御することができるの、一ライン時間内にデータ線を充分に充電することができる。また、有機EL素子に流れる電流はトランジスタのしきい電圧偏差や移動度の偏差が補償され、高解像度と大面積の発光表示装置を実現することができる。

【図面の簡単な説明】

【図1】有機電界発光素子の概念図である。

【図2】従来の電圧記入方式の画素回路の等価回路図である。

【図3】従来の電流記入方式の画素回路の等価回路図である。

【図4】本発明の実施例による有機EL表示装置の概略的な平面図である。

【図5】本発明の第1実施例による画素回路の等価回路図である。

【図6】本発明の第2実施例による画素回路の等価回路図である。

【図7】図6の画素回路を駆動するための駆動波形図である。

【図8】本発明の第3実施例による画素回路の等価回路図である。

【図9】本発明の第4実施例による画素回路の等価回路図である。

【図10】図9の画素回路を駆動するための駆動波形図である。

【図11】本発明の第5実施例による画素回路の等価回路図である。

【図12】本発明の第6実施例による画素回路の等価回路図である。

【図13】本発明の第7実施例による画素回路の等価回路図である。

【図14】図13の画素回路を駆動するための駆動波形図である。

【図15】本発明の第8実施例による画素回路の等価回路図である。

【図16】図15の画素回路を駆動するための駆動波形図である。

【図17】本発明の第9実施例による画素回路の等価回路図である。

【図18】図17の画素回路を駆動するための駆動波形図である。

【図19】本発明の第10実施例による画素回路の等価回路図である。

【図20】図19の画素回路を駆動するための駆動波形図である。

【図21】本発明の第11実施例による画素回路の等価回路図である。

【図22】本発明の第12実施例による画素回路の等価回路図である。

【図23】本発明の第13実施例による画素回路の等価回路図である。

【図24】図23の画素回路を駆動するための駆動波形図である。

【図25】本発明の第14実施例による画素回路の等価回路図である。

【図26】図25の画素回路を駆動するための駆動波形図である。

【符号の説明】

10：有機EL表示パネル

11：画素回路

20：走査駆動部

30：データ駆動部

B_n：ブースト走査線

C1、C2：キャパシター

D₁ - D_m：データ線

E_n：発光走査線

I_{DATA}：データ電流

I_{LED}：電流

OLED：有機EL素子

M1、M2、M3、M4、M5、M6、M7、M8：トランジスタ

S₁ - S_N：走査線

S_n：選択信号

S1、S2、S3：スイッチング素子

【図1】

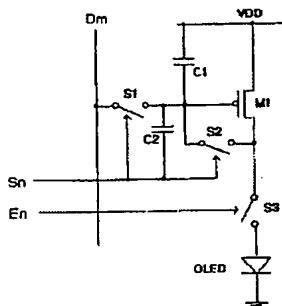
The diagram shows a logic symbol for an inverter. The input pin is labeled 'H/L' and the output pin is labeled 'Dm'. A connection line connects the 'VDD' pin to the output pin 'Dm'.

The diagram shows a simple circuit. On the left, there is a symbol for an inductor labeled L_m . To its right is a vertical line representing a circuit path. At the top of this path is a symbol for an OLED (Organic Light-Emitting Diode), which consists of a triangle with a circle inside. Below the OLED is a small inductor symbol with three short lines. Further down the path is a resistor symbol, which is a zigzag line. The path then continues downwards, ending with a ground symbol (a small circle with a vertical line) at the bottom.

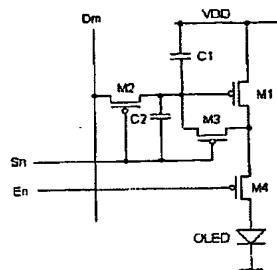
Ex			
		

Se	•	•	•	•
Fe				

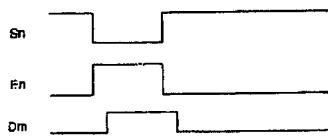
【図5】



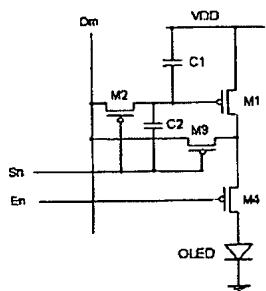
【図6】



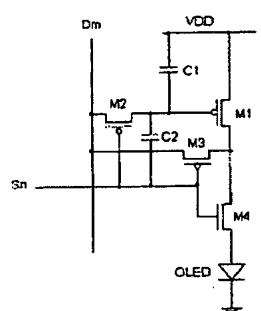
【図7】



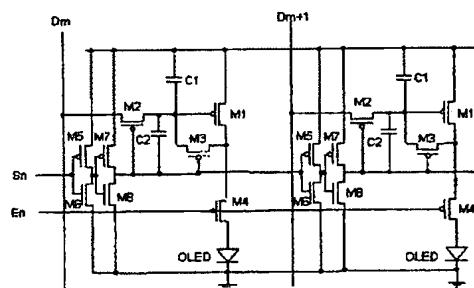
【図11】



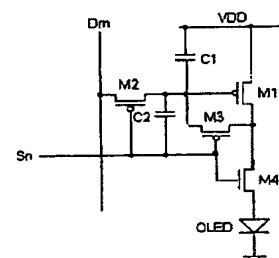
【図12】



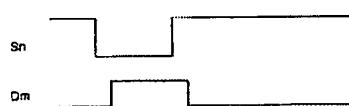
【図8】



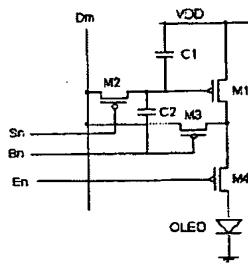
【図9】



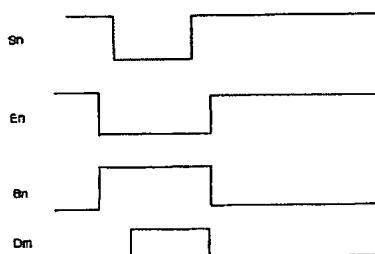
【図10】



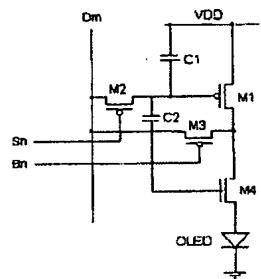
【図13】



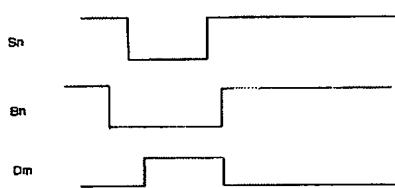
【図14】



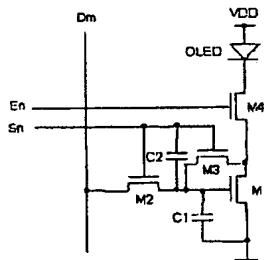
【図15】



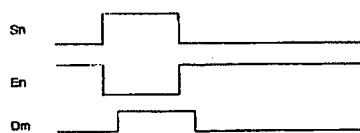
【図16】



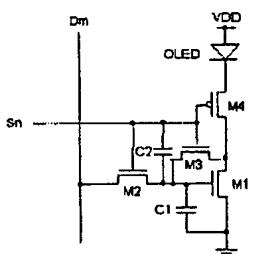
【図17】



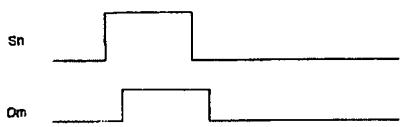
【图18】



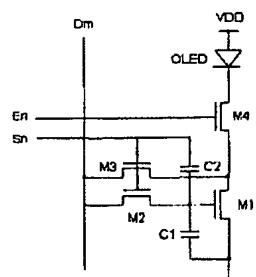
【図19】



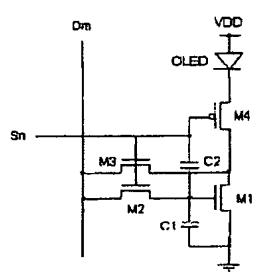
〔图20〕



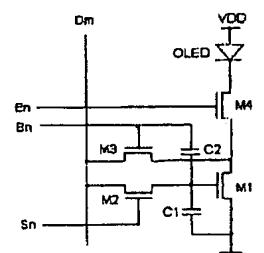
【図21】



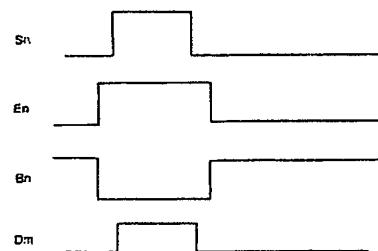
〔図22〕



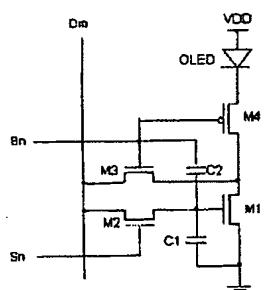
【図23】



【図24】



【図25】



【図26】

